



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05136751 A**(43) Date of publication of application: **01 . 06 . 93**

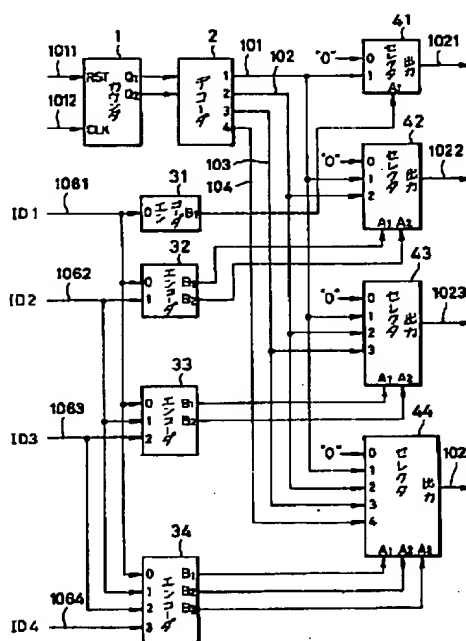
(51) Int. Cl.

**H04J 3/00****H04L 5/22**(21) Application number: **03326579**(71) Applicant: **NEC ENG LTD**(22) Date of filing: **14 . 11 . 91**(72) Inventor: **KITAHARA HIROYUKI****(54) TIME DIVISION MULTIPLEXER****(57) Abstract:**

**PURPOSE:** To avoid a frame delay in a multiplexed output in the case of forward packing multiplex in one frame except data in an idle channel package in the time division multiplexer.

**CONSTITUTION:** A counter 1 and a decoder 2 generate four channel pulses 101-104 each having a length being four-equal-division of one frame of a frame pulse 1011 and whose phases are shifted sequentially by the pulse length. Encoders 31-34 receiving signals ID1-ID4 representing the presence of a channel package decide the position of a time slot from a head of one frame to each of the mount packages. The channel pulses 101-104 corresponding to the decided time slot location are selected by selectors 41-44 to form a data insert time slot of a relevant channel package.

COPYRIGHT: (C)1993,JPO&amp;Japio



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-136751

(43) 公開日 平成5年(1993)6月1日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 J 3/00	A	8843-5K		
H 0 4 L 5/22	Z	8843-5K		

審査請求 未請求 請求項の数 1 (全 11 頁)

(21) 出願番号 特願平3-326579

(22) 出願日 平成3年(1991)11月14日

(71) 出願人 000232047

日本電気エンジニアリング株式会社  
東京都港区西新橋3丁目20番4号

(72) 発明者 北原 博之

東京都港区西新橋3丁目20番4号 日本電  
気エンジニアリング株式会社内

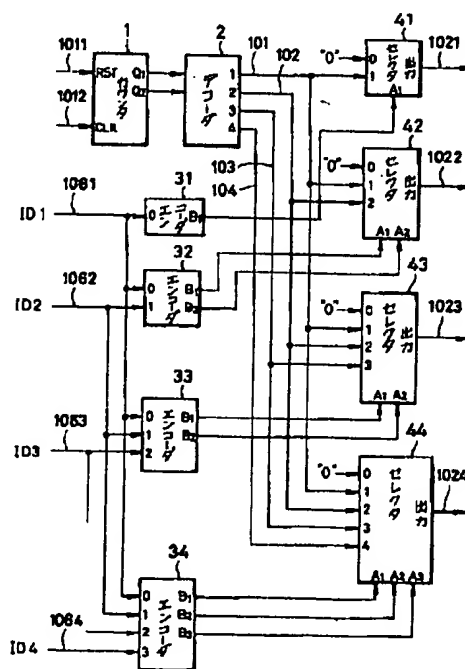
(74) 代理人 弁理士 ▲柳▼川 信

(54) 【発明の名称】 時分割多重化装置

(57) 【要約】

【目的】 時分割多重化装置において、空チャンネルパッケージのデータを除いて1フレーム内に前詰め多重化する場合、多重化出力のフレーム遅延をなくす。

【構成】 カウンタ1及びデコーダ2により、フレームパルス1011の1フレームを4等分したパルス長を各々が有しかつ順次このパルス長だけ位相がずれた4個のチャンネルパルス101～104を生成する。チャンネルパッケージ実装有無を示す信号ID1～ID4を入力とするエンコーダ31～34により、実装パッケージ各々に対して1フレーム先頭からのタイムスロット位置を夫々決定する。この決定されたタイムスロット位置に対応するチャンネルパルス101～104を各セレクト41～44にて選択し、対応チャンネルパッケージのデータ挿入タイムスロットとする。



## 【特許請求の範囲】

【請求項1】  $n$  個 ( $n$  は2以上の整数) のチャンネルパッケージから夫々出力されるデータを1フレーム内の各タイムスロットに割当てて多重化する時分割多重化装置であって、各々が前記1フレームの時間を $n$ 等分したパルス長を有し順次前記パルス長だけ位相がずれた $n$ 個のチャンネルパルス信号を生成する手段と、前記チャンネルパッケージの実装の有無を示す信号を入力として実装されているチャンネルパッケージに対して前記1フレームの先頭からのタイムスロット位置を夫々決定する手段と、この決定されたタイムスロット位置に対応するチャンネルパルス信号を選択して対応チャンネルパッケージの出力データの挿入用タイムスロットとする手段とを含むことを特徴とする時分割多重化装置。

## 【発明の詳細な説明】

【0001】

【技術分野】 本発明は時分割多重化装置に関し、特に $n$  個 ( $n$  は2以上の整数) のパッケージから夫々出力されるデータを1フレーム内の各タイムスロットに割当てて多重化する時分割多重化装置に関するものである。

【0002】

【従来技術】 従来のかかる時分割多重化装置の概略ブロック図を図6に示し、図7にその動作タイムチャートを示している。尚、図7では簡単化のために $n=4$ とした場合の例を示す。

【0003】 図6において、各チャンネルパッケージ#1(61)～# $n$  (6 $n$ ) は夫々対応する端末21～2 $n$  からのデータを受信し、データバス221に多重化し、またその逆(分離化)を行う。

【0004】 多重化データ1041上での各チャンネルデータの占有タイムスロットとチャンネルパルス1021～1024との関係は図7の様になっているものとする。具体的には、各チャンネルパッケージ#1～# $n$  に与えられるチャンネルパルス1021～102 $n$  はデータバス上の各チャンネルパッケージデータのデータ幅と同一でかつ同一位相のパルスであり、共通部51から送出されている。

【0005】 ここで、一部のチャンネルパッケージが非実装となった場合、多重化データ上に空ができ、伝送効率が低下する。このため、伝送効率向上の方法の一つとして、使用チャンネルパッケージのデータを多重化データ上で前詰めにし、空の所に別信号を更に多重化するという方法がある。

【0006】 一例として、チャンネルパッケージ数を $n=4$  として動作を説明する。図8は従来の図6における共通部51の具体例を示すブロック図、図9は図8のブロックの動作タイムチャートである。通常は、図7のようにチャンネルパッケージ#1～#4が実装されているが、ここでは図9のようにチャンネルパッケージ2、4のみが実装された例について説明する。

【0007】 図8の制御部71では、多重化データ1041

の先頭を示すフレーム信号1011を元に、図9に示すようにチャンネルパッケージ1～4に対しチャンネルパルス1021～1024を送出する。また、各チャンネルパッケージの実装状態を示す実装情報ID1～4(1061～1064)とチャンネルパルス1021～1024とから、実装されたチャンネルパッケージのデータのみをメモリ72若しくは73に書込むクロック214、216が生成される。メモリ72、73はダブルバッファ構成となっている。

【0008】 図9において、メモリ72が書込み中、メモリ73が読出し中の場合を考える。メモリ72に対する書込みクロック214は、実装情報ID1～4(1061～1064)が実装状態でかつ該当するチャンネルパッケージのチャンネルパルス位置のタイムスロットのみ生成されるものとする。ここでは、チャンネルパッケージ2、4が実装されているため、図9のメモリ1書込みクロック214に示すようにTS2、4でメモリ72への書込みが行われる。

【0009】 次に、メモリ2からの読出しデータは連続クロック215で読出される。この時、メモリ73からの読出しデータ1042は、チャンネルパッケージ2、4のみのため、図9のTS1、2の位置に出力され、TS3、4は空となる。逆に、メモリ72が読出し中、メモリ73が書込み中の場合についても同様の動作となる。

【0010】 上述した従来の時分割多重化装置では、ダブルバッファ構成のために、書込みに1フレーム、読出しに1フレーム夫々必要となる。よって、最大1フレームの遅延を生じるという欠点がある。

【0011】

【発明の目的】 本発明の目的は、チャンネルパッケージデータのフレーム内前詰め処理時にフレーム遅延を生じることがない時分割多重化装置を提供することである。

【0012】

【発明の構成】 本発明によれば、 $n$  個 ( $n$  は2以上の整数) のパッケージから夫々出力されるデータを1フレーム内の各タイムスロットに割当てて多重化する時分割多重化装置であって、各々が前記1フレームの時間を $n$ 等分したパルス長を有し順次前記パルス長だけ位相がずれた $n$ 個のチャンネルパルス信号を生成する手段と、前記チャンネルパッケージの実装の有無を示す信号を入力として実装されているチャンネルパッケージに対して前記1フレームの先頭からのタイムスロット位置を夫々決定する手段と、この決定されたタイムスロット位置に対応するチャンネルパルス信号を選択して対応チャンネルパッケージの出力データの挿入用タイムスロットとする手段とを含むことを特徴とする時分割多重化装置が得られる。

【0013】

【実施例】 以下、図面を用いて本発明の実施例について説明する。

【0014】 図1は本発明の実施例のブロック図であって $n=4$ の場合の例を示し、図2はその動作タイムチャ

3

ートである。また、図3は本発明の実施例においてチャンネルパッケージを一般的にn個としたときのブロック図である。

【0015】図1において、カウンタ1はフレーム信号1011でリセットされ、クロック1012で動作するカウンタである。デコーダ2はカウンタ1の出力を入力とし、信号101～104をデコード出力する。

【0016】エンコーダ31～34は実装情報ID1～4 (1061～1064)を入力とし、図4に示す入出力関係を持つものである。ここで、エンコーダnは実装情報ID1～nを入力とし、チャンネルパッケージnが実装されているチャンネルパッケージ全数でフレーム位置から数えて何番目にあるかを示すバイナリコードを出力する。このようにして、求められた入出力関係の一例が図4となっている。

【0017】セレクト41～44はデコーダ2の信号101～104を入力とし、エンコーダ31～34の出力にてチャンネルパルス1021～1024を選択出力する。ここで、セレクトnは、デコーダ2の出力101～10nの入力を選択出力するが、エンコーダnからの選択信号は、チャンネルパッケージnが非実装時にはセレクトnからチャンネルパルス無し、すなわち固定信号“0”が出力される。

【0018】また、チャンネルパッケージnが実装時には、エンコーダnは、チャンネルパッケージnが実装されているチャンネルパッケージ全体でフレーム位置から数えて何番目の位置にあるかを示すバイナリコードを出力し、セレクトnが相当するチャンネルのチャンネルパルスを出力するように構成されている。

【0019】次に、動作について具体的に説明する。まず、実装情報ID1～4 (1061～1064)はチャンネルパッケージ実装時“1”，非実装時“0”とする。エンコーダ31～34の入出力関係は図4に示すとおりであり、セレクト41～44の入出力関係は図5に示すとおりである。

【0020】さて、図1において、実装情報ID2, 4 = “1”，ID1, 3 = “0”が入力された場合を考える。まず、図4より、ID1 = “0”からエンコーダ31の出力(B1) = (0)，ID1 = “0”，ID2 = “1”から、エンコーダ32の出力(B1, B2) = (1, 0)となる。また、同様にしてエンコーダ33の出力(B1, B2) = (0, 0)，エンコーダ34の出力(B1, B2, B3) = (0, 1, 0)となる。

【0021】次に、セレクト41～44の動作について

4

考える。まず、セレクト41は、エンコーダ31の出力が(0)のため、図4より出力1021には入力0が選択されて固定信号“0”が出力される。セレクト42は、エンコーダ32の出力が(1, 0)のため、出力1022には入力1が選択され、信号101が出力される。

【0022】更に、セレクト43は、エンコーダ33の出力が(0, 0)のため、出力1023には入力0が選択され、固定信号“0”が出力される。同様にして、セレクト44の出力1024には、エンコーダ34の出力が(0, 1, 0)のため、入力2が選択され、信号102が出力される。

【0023】以上の説明からチャンネルパルス1021～1024は、図2に示すタイミングで出力されるため、同図の出力データ1042が出力され、フレーム遅延のない前詰め多重化データが得られることになるのである。

【0024】

【発明の効果】以上のべた如く、本発明によれば、多重化データ上で各チャンネルパッケージへのチャンネルパルスの位相を、パッケージの実装状態に応じて切替え制御しているため、フレーム遅延の原因となるメモリを用いる必要がなくなり、多重化データの前詰め処理が遅延なく可能となるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施例のn=4の場合のブロック図である。

【図2】図1のブロックの動作タイムチャートである。

【図3】本発明の実施例の一般的なブロック図である。

【図4】図1のエンコーダ31～34の入出力関係を示す図である。

【図5】図1のセレクト41～44の入出力関係を示す図である。

【図6】従来の時分割多重化装置のブロック図である。

【図7】図6のブロックの動作を示すタイムチャートである。

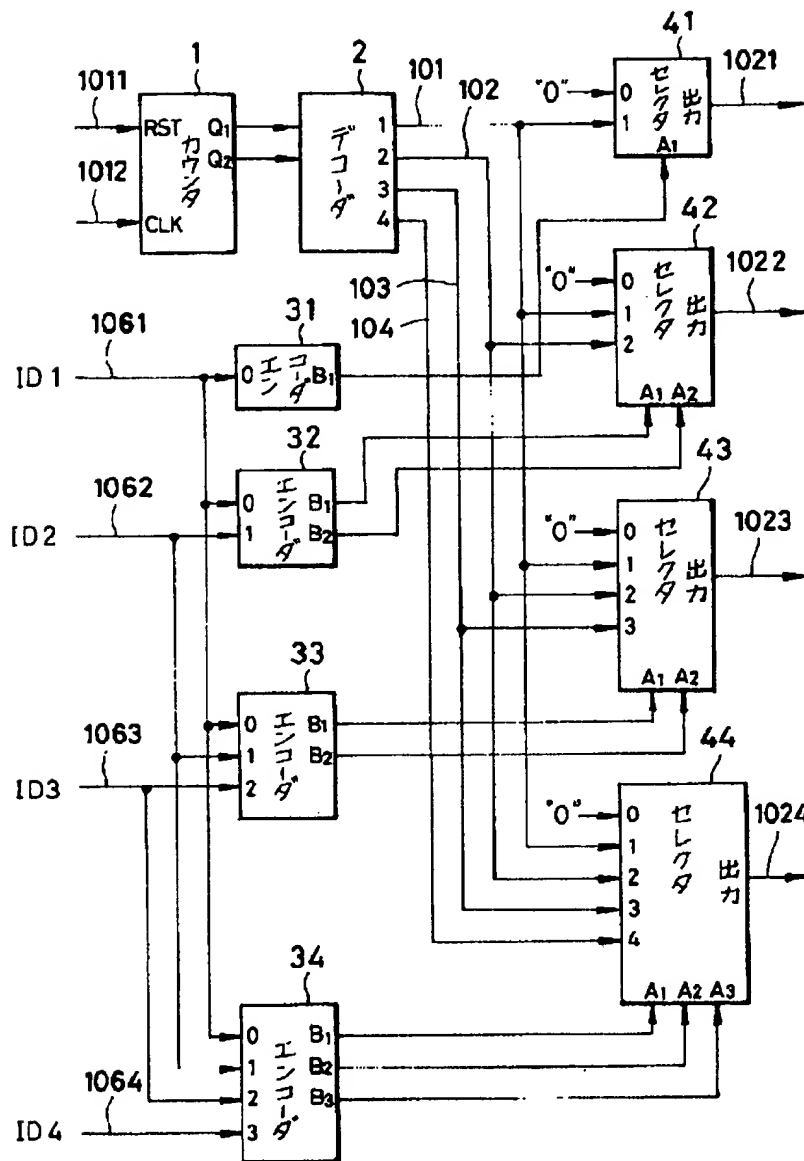
【図8】図6の共通部51の例を示すブロック図である。

【図9】図6のブロックの動作を示すタイムチャートである。

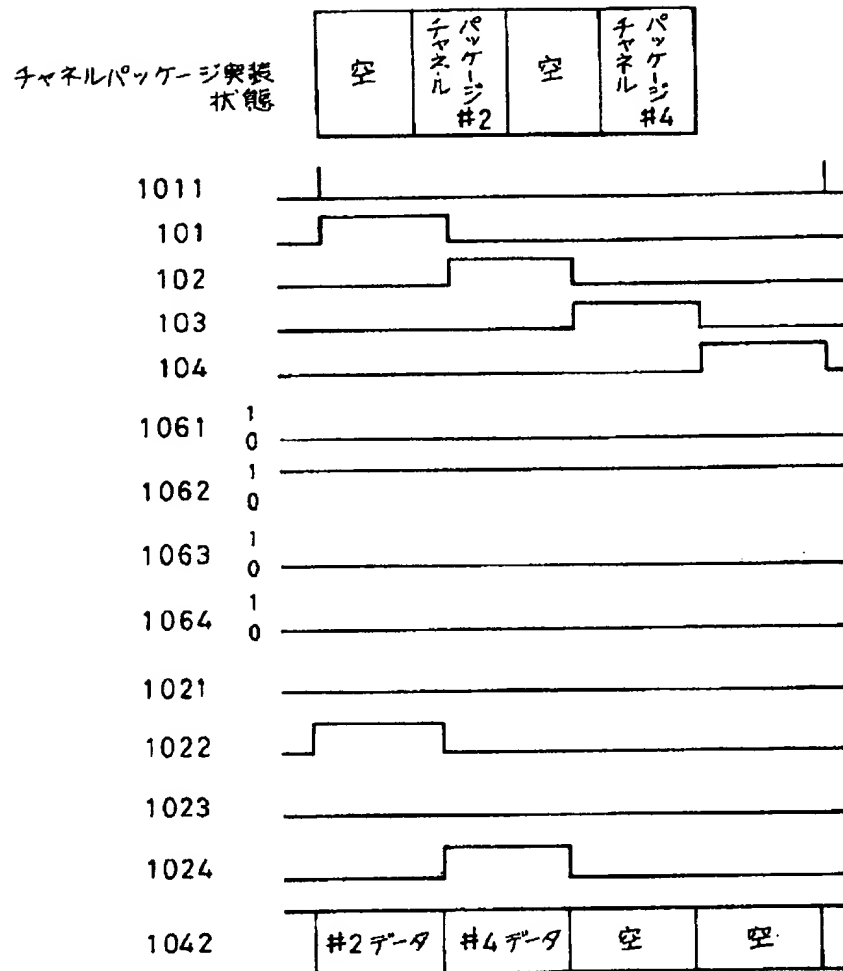
【符号の説明】

- 1 カウンタ
- 2 デコーダ
- 31～3n エンコーダ
- 41～4n セレクト

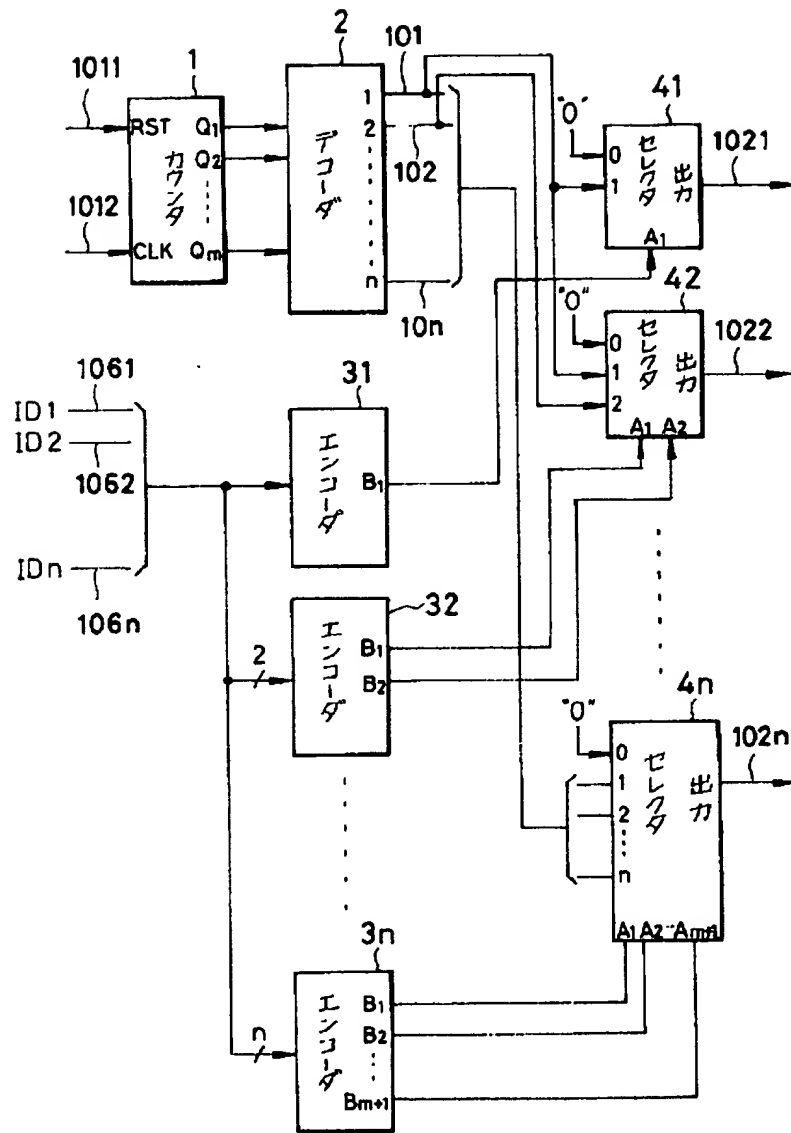
【図1】



【図2】



【図3】



【図4】

エンコーダ31

入力	出力
0	B <sub>1</sub>
0	0
1	1

エンコーダ32

入力		出力	
0	1	B <sub>1</sub>	B <sub>2</sub>
0	0	0	0
1	0	1	0
0	1	1	0
1	1	0	1

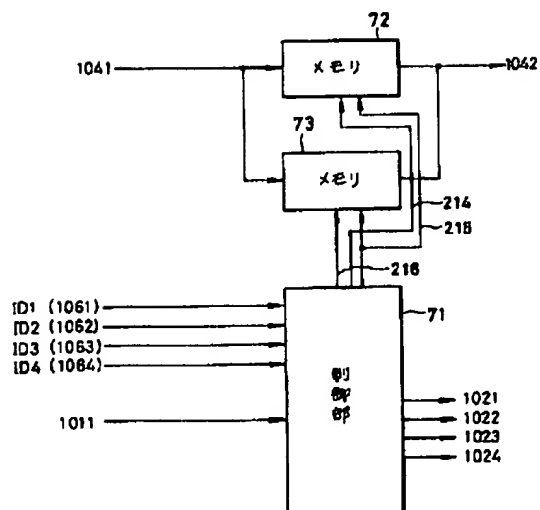
エンコーダ33

入力			出力	
0	1	2	B <sub>1</sub>	B <sub>2</sub>
0	0	0	0	0
1	0	0	0	0
0	1	0	0	0
1	1	0	0	0
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

エンコーダ34

入力					出力		
0	1	2	3	B <sub>1</sub>	B <sub>2</sub>	B <sub>3</sub>	
0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0
1	1	0	0	0	0	0	0
0	0	1	0	0	0	0	0
1	0	1	0	0	0	0	0
0	1	1	0	0	0	0	0
1	1	1	0	0	0	0	0
0	0	0	1	1	0	0	0
1	0	0	1	0	1	0	0
0	1	0	1	0	1	0	0
1	1	0	1	1	1	0	0
0	0	1	1	0	1	0	0
1	0	1	1	1	1	0	0
0	1	1	1	1	1	0	0
1	1	1	1	0	0	1	0

【図8】





【図5】

セレクト42

入力		選択信号		出力
0	1	A1	A2	
固定信号 "0"	信号	0	0	固定信号 "0"
	信号101	1	0	信号101
	信号102	0	1	信号102

セレクト41

入力		選択信号	出力
0	1	A1	
固定信号 "0"	信号101	0	固定信号 "0"
		1	信号101

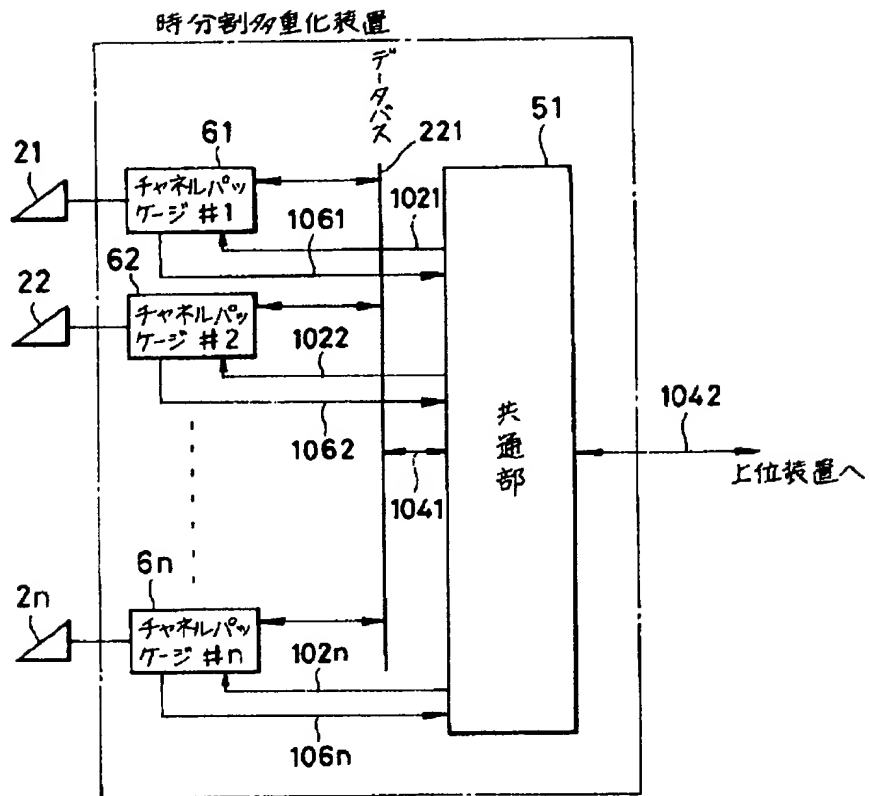
セレクト44

入力				選択信号			出力
0	1	2	3	4	A1	A2	A3
固定信号 "0"	信号101	信号102	信号103	信号104	0	0	0
					1	0	0
					0	1	0
					1	1	0
					0	0	1

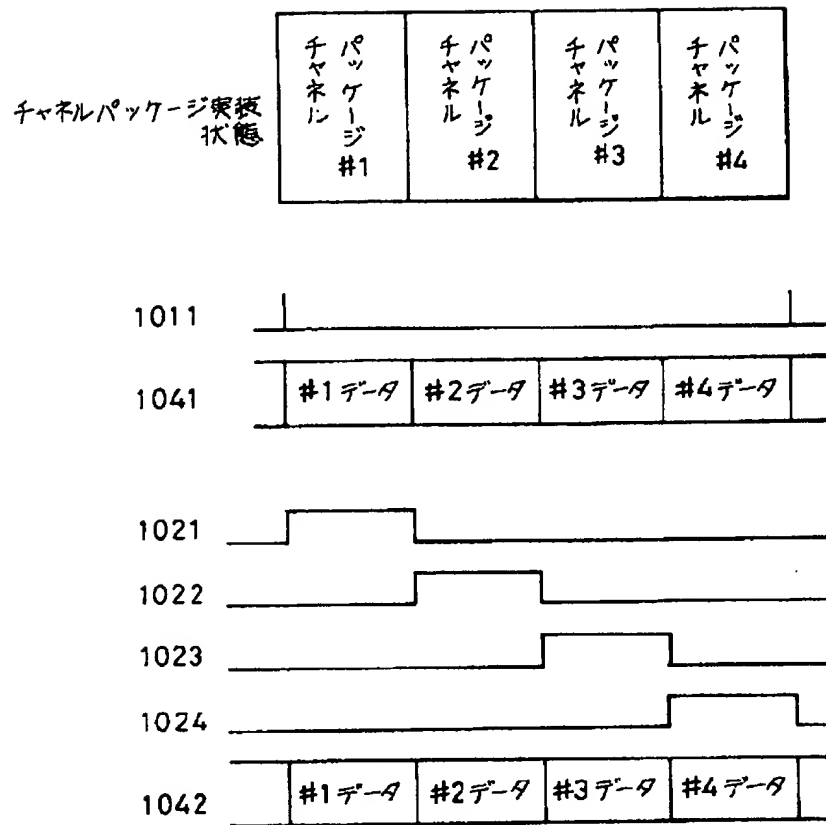
セレクト43

入力			選択信号		出力
0	1	2	3	A1	A2
固定信号 "0"	信号101	信号102	信号103	0	0
				1	0
				0	1
				1	1

【図6】



【図7】



【図9】

